

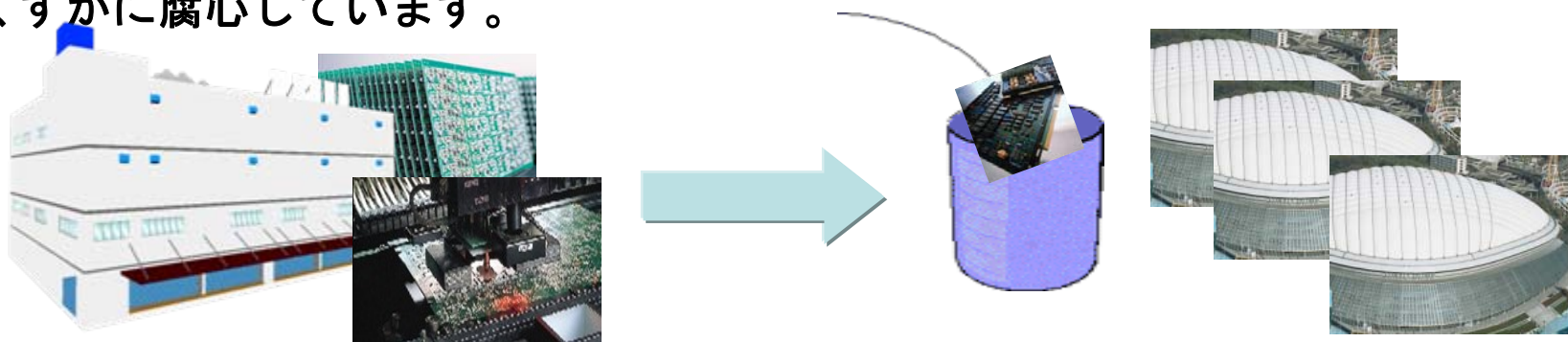
DFM検証によるコストダウンと環境対策

Valor Enterprise3000

サイバネットシステム 株式会社
応用システム第2事業部
EDAソリューション部

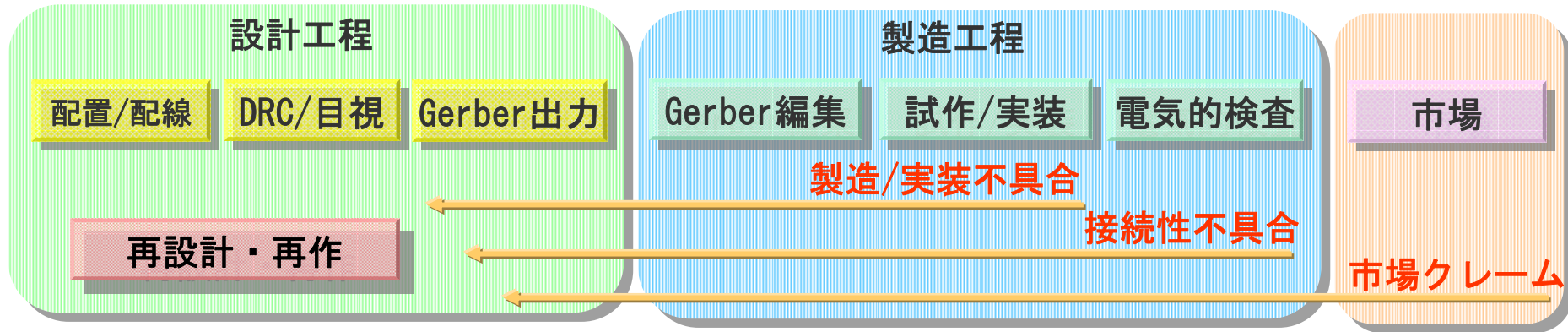
背景

国内・国外を問わず環境対策の取り組みが産業界を含め大きなテーマとなり企業価値の維持・向上も、その対策姿勢で評価されてきています。しかしながら環境対策コストは各企業にとっては大きな足かせになっている事も事実でありコストパフォーマンスの高い環境対策が求められています。電子機器開発プロセスにおいても、環境対策が大きなテーマとなっており各企業もいかに試作回数を減らして、資源、材料、エネルギー損失等の無駄を無くすかに腐心しています。



実態としては、2007年度の日本国内のプリント基板生産量は電子回路工業会発表で各企業の総出荷数量は39,134km²となっています。しかしながらプリント基板の設計から製造、出荷段階、更に市場でのトラブルを考慮すると再作を含めたプリント基板の実際の生産量は大きく上振れしており、仕様を満たせず廃棄された基板・搭載部品に多くの資源、材料、エネルギーが費やされているのが実情であります。

プリント基板の設計/製造プロセスの現状と不良発生要因



従来のプリント基板開発プロセスにおいてプリント基板の再作はいくつかの工程で発生しています。

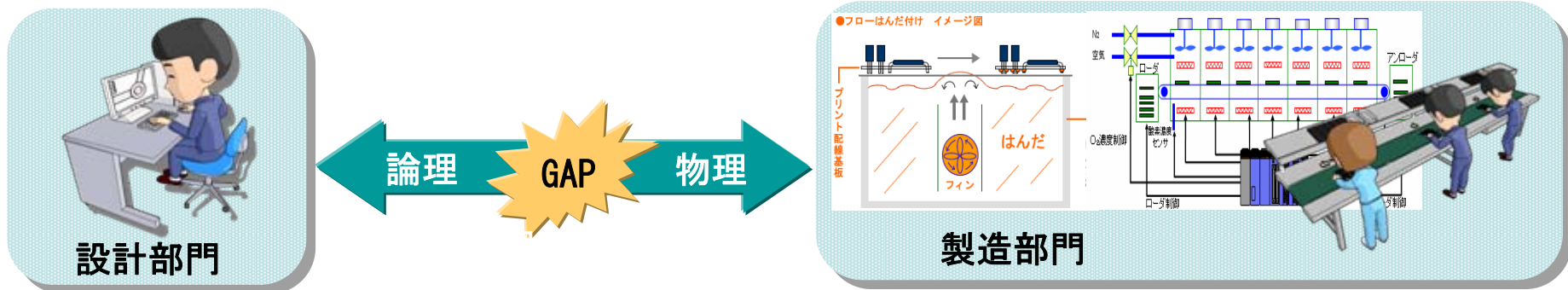
- プリント基板の試作・実装においては電氣的特性を満足していない
 - 生産工場における製造基準に合致していない
 - 高密度・高多層化によるPCB-CADから出力される論理的な製造データと物理的な製造データのアンマッチング
 - オープンサイトにおけるEMI/ノイズ(不要電磁放射) 環境試験不合格
 - 量産時における量産性への未対応
- 等、公的な数値となって現れてこない無駄な基板・部品が多数廃棄されているのが現状です。

試作・量産・市場で発生する無駄な基板の再作数が上述数値の仮に4%と想定するとプリント基板では約 1,565km²(東京ドーム約34個分)となり、さらに廃棄搭載部品を考えると金額的にも莫大な無駄が発生していることとなります。

上流設計工程におけるDFM検証の有効性

上述した数値には製造工程における不可抗力的な不良発生要因も含まれていますが、多くは上流の設計プロセスまたポストプロセスにおける電氣的な解析と製造性解析の不備によるものが大多数を占めています。

昨今の経済環境の中で現有資産の有効かつ効率的な運用が急務となっている状況下において如何に利潤を担保するかが重要なテーマとなっています。



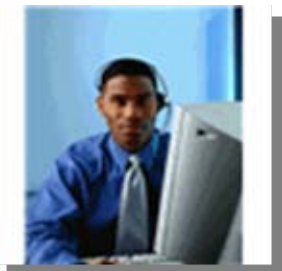
最近では、CAEを利用した電氣的な解析技術によって伝送品質/EMIを考慮した設計技術は大きく前進してきているにも関わらず、多くの無駄を抑止する製造性解析については現物合わせ的な手法が未だまかりとおっているのが実態です。

これは多くの設計技術者がプリント基板の製造プロセスを理解しておらず、また逆も真なりであるという、上流の設計部門と製造部門の間に存在する歴史的・文化的な乖離によるものです。

今求められているのは、設計プロセスと製造プロセス間に何らかの検証システムであり、設計段階とCAM-OUT後のポストプロセスが非常に重要となると考えられます。

弊社取り扱いのDFM (Design for Manufacturing) 「Enterprise3000」はものづくりの観点から解析を行うことにより、設計データの品質を確実に向上させ、設計から量産まで全体のリードタイム短縮と不良を排出しないプリント基板開発プロセスを実現するものです。

設計/製造品質の平準化 (Multi CAD)-1



A社製 PCB-CAD
担当者-A

DRC-A

目視-A

GERBER

本当に大丈夫?



B社製 PCB-CAD
担当者-B

DRC-B

目視-B

GERBER



C社製 PCB-CAD
担当者-C

DRC-C

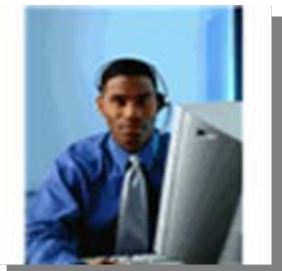
目視-C

GERBER

基
造
板
製

DRCアルゴリズムの違い/設計経験に依存

設計/製造品質の平準化 (Multi CAD)-2



A社製 PCB-CAD
担当者-A



B社製 PCB-CAD
担当者-B



C社製 PCB-CAD
担当者-C



Enterprise3000

製造解析
実装解析
HDI解析



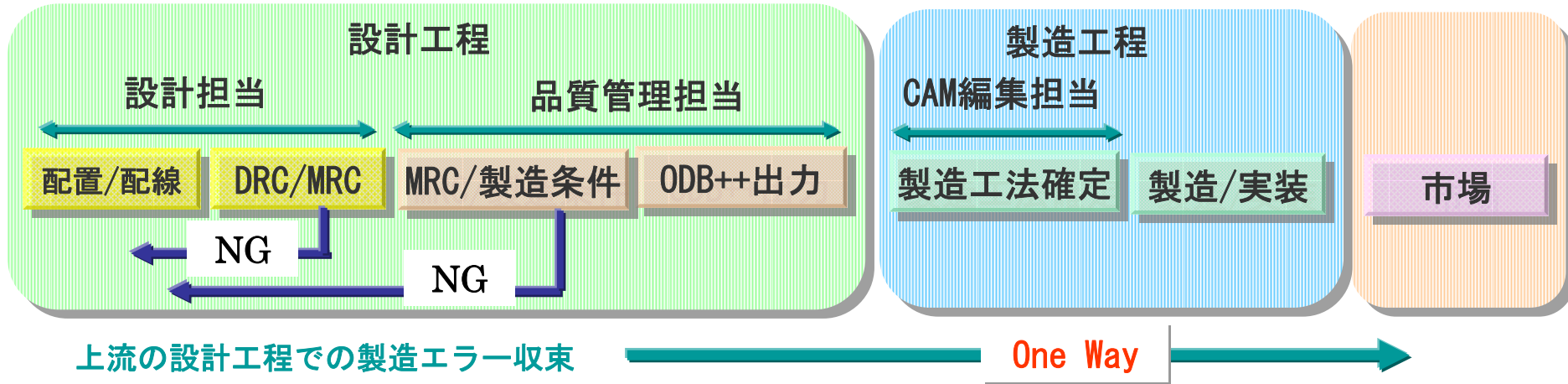
GERBER
Panel Data
実装データ



基
板
製
造

CAD/経験に依存しない品質管理の一元化

Enterprise3000の運用プロセス例



上流の設計プロセスでのDRC (Design Rule Check) と製造解析DFMによる運用により前述した不良の発生を上流である設計工程で抑止することで製品品質保証が図られ、トータルでのコストダウンおよび試作回数の削減が可能になり、結果として環境対応も実現されることとなります。

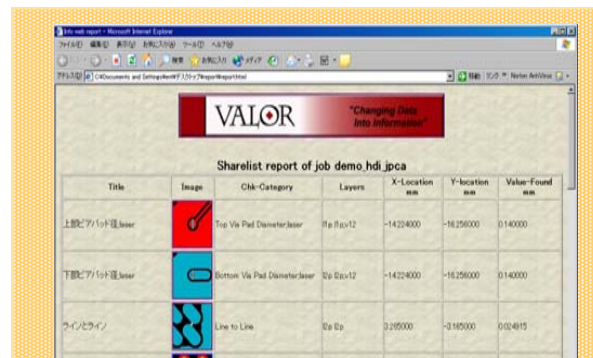
設計/製造品質の平準化 (Multi CAD)



お客様

HTML形式のレポート (シェアリスト)

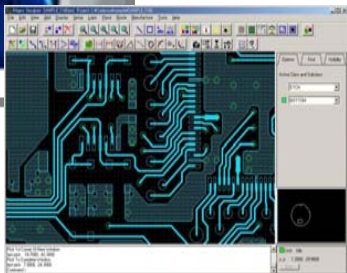
- IEなどのWebベースソフトウェアで閲覧可能
- 閲覧にはEnterpriseソフトウェアが不要
- 解析結果を確認しつつレポート作成



Enterprise3000

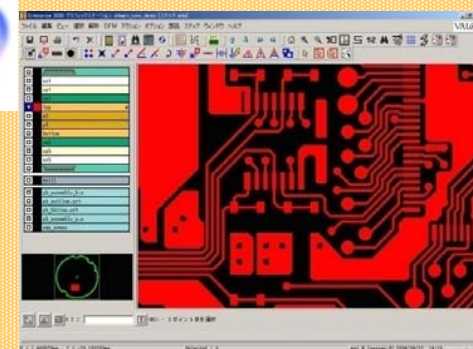


PCB Designer



EDAシンクロナイゼーション

- Enterpriseのエラー検出箇所がそのままEDAシステムで確認可能
- 全てのサポートEDAシステムに対応

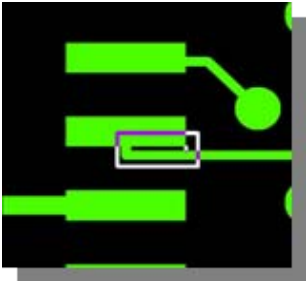


解析事例ーベアボードの製造性解析

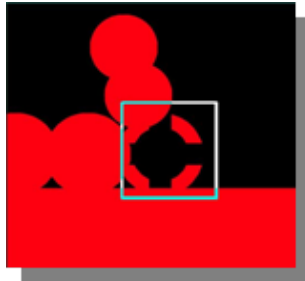
設計品質向上

※銅箔エッチング、穴あけ加工、印刷、検査工程に支障をきたす問題の洗い出し
CADから変換されたODB++を最適な解析ソースとし、かつガーバーなどの
絵柄情報に対してもハイレベルな製造品質検証が可能

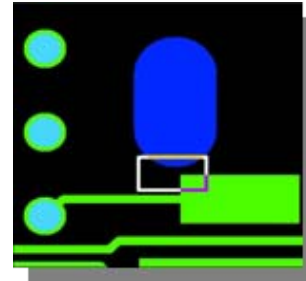
1. 同一ネット上の近接箇所



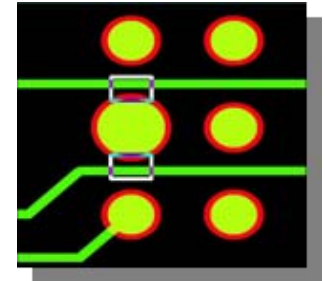
2. 内層サーマルの接続箇所の減少



3. 非スルーホールとパターンの接近



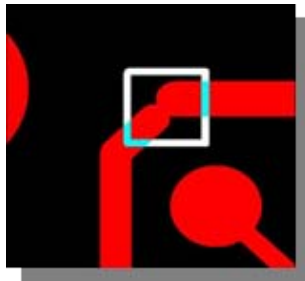
4. ソルダマスクとパターンの接近



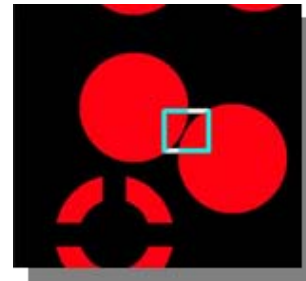
5. 内層における銅箔の鋭角部



6. シグナルレイヤのネックダウン



7. 内層の非スルーホール同士の接近



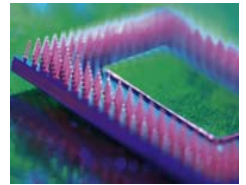
8. シルク文字とビアホールの接近



解析事例HDI解析

設計品質向上

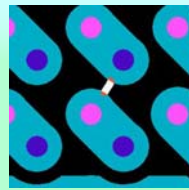
- 従来の製造解析に比べ、ボイド、メッシュホールなどのパッケージ固有の解析項目や、信号パターン、プレーン、各種パッドなどの要素ごとに解析項目を用意しています。
- マイクロビアは製造工法(ドリル、フォト、レーザ)に合わせて、解析項目が用意されています。
- ビルドアップ層、コア層間の距離測定が可能です。



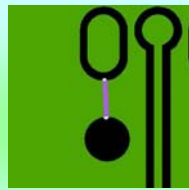
HDI製造解析



ビアパッドとプレーン



ビアパッド間



ボイドとメッシュ

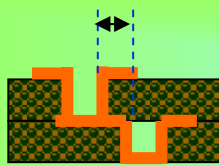


ボイドとボイド

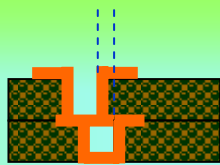


ライン角度

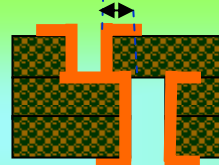
HDIマイクロビア解析



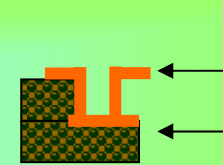
ビア間スペース



ビアオーバーラップ



ビア・スルースペース

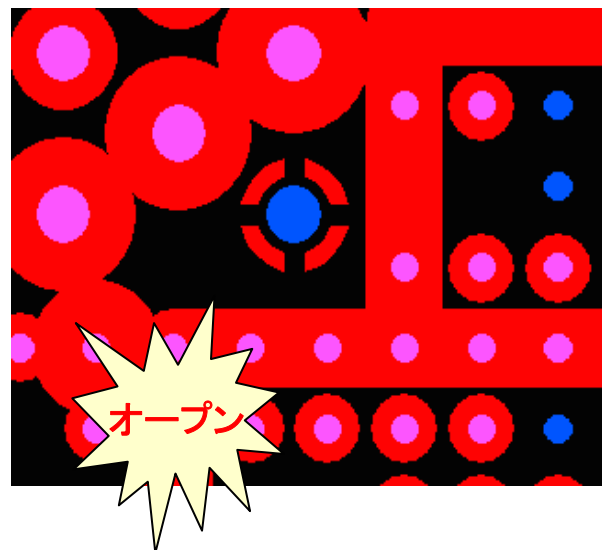
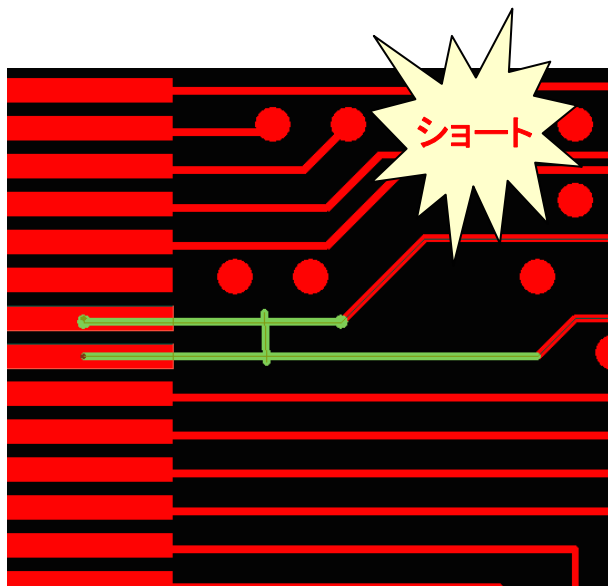
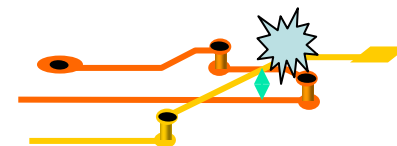


上部・下部のAR

解析事例ーネットリスト解析

設計品質向上

- ODB++に取込まれたCADネットと、ODB++のイメージ(逆ネット)の比較をし、ネットの整合性を検証します。
- 同一設計データの異なるリビジョン間のネット比較も可能です。
- CADから取込んだODB++とGerberのネット(逆ネット)の比較も可能です。



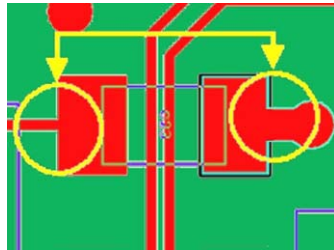
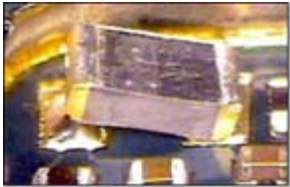
解析事例一部品実装性の検証

設計品質向上

※部品実装、ソルダリング、検査工程に支障をきたす問題の洗い出し
VPLと組み合わせることにより、より正確な検証が可能となります

解析内容例

チップ立ちの可能性は？



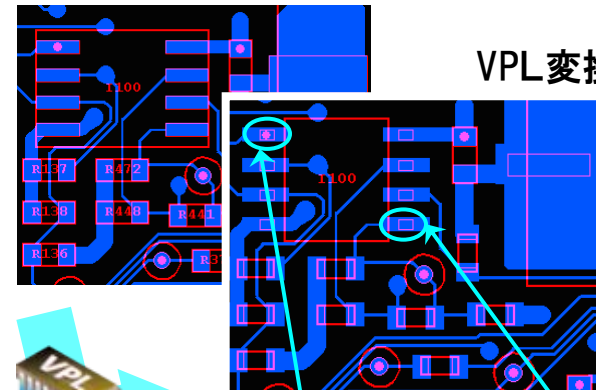
パッドに接続されているラインの幅やパッドの面積比をもとにチップ立ちの可能性を検証



「パッドのソルダレジストから露出している部分」と(ピン)部品リードの接地面との余裕に問題がないことを確信して製造・実装プロセスにデータ投入

バロール・パーツ・ライブラリ(VPL)

4000万点以上の部品形状データベース



VPL変換後

VPLの登録情報

1ピン属性

ボディの実寸法

ピンの接地面形状

部品高さ

パッケージタイプ

解析結果とルール

チェックリスト (簡易バッチ処理)

結果のビューア (項目毎のクイック検索)

解析結果は ODB++ へ保存が可能

ERF (解析ルール)

カテゴリ名	内部ERF名	ERF	分類 1	分類 2	測定単位	ルール	幅...
1	NPTH...	npth2c	*			250, 300, 380	250
2	NPTH...	npth2p	*			250, 300, 380	250
						125, 200, 250	125
						250, 300, 380	250
						100, 200, 250	100
7	VIA to ...	via2c	*			225, 300, 380	225
8	VIA to ...	via2p	*			225, 300, 380	225
9	PTH co...	pth_cont_clr	*			100, 200, 250	100
10	VIA co...	via_cont_clr	*			100, 200, 250	100
11	NPTH c...	npth_cont_c	*			100, 200, 250	100
12	Rout to...	r2c	*			505, 635, 760	505
13	Slivers	sliver	*			100, 150, 200	100
14	Short S...	short_sliver	*			100, 150, 200	100

結果のグラフ表示 (グラフからフィルタリング)

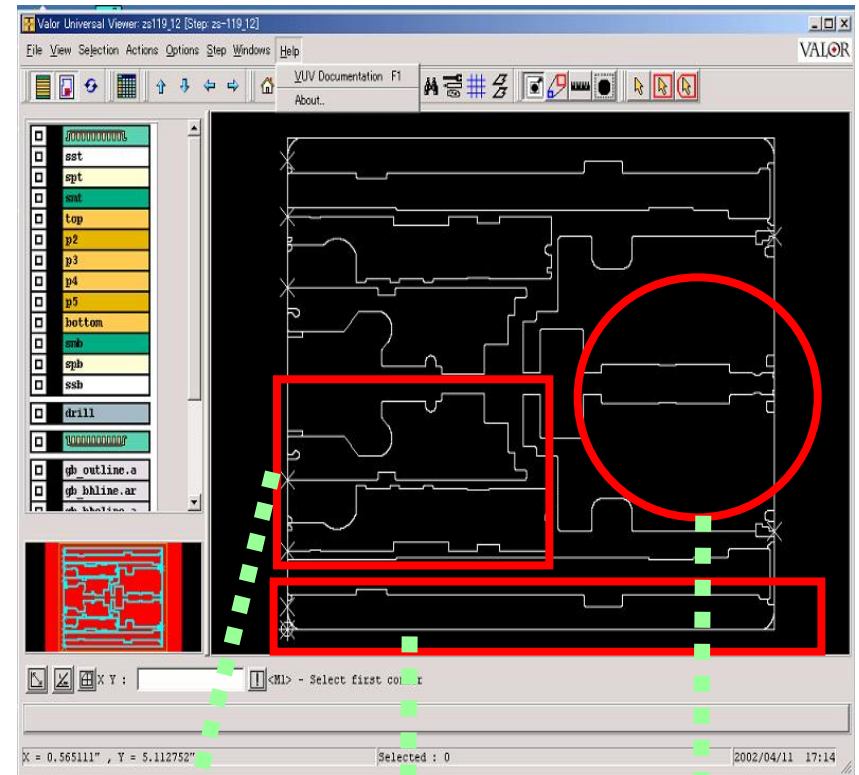
ルールが決定していなくても、幅を持ったチェックが可能

CAM編集 ODB++による設計手法の改善

集合基板の設計手法の改善

- EDAシステムに依存せずに集合化が可能
- 各個片基板を同時に設計が可能
- データ量の軽減(同種複数面付け)
- 集合化されたデータによる
製造 & 実装チェック
- 集合化されてデータから、実装情報の出力

CADを統一する制約が無くなる為
コストダウンも可能に



周辺基板A(外注設計)

周辺基板B(外注設計)

メイン基板(社内設計)

まとめ—Enterprise3000運用効果



DFM検証

- ◆ 製造&実装性のルールを一元管理
- ◆ 製造&実装性のシミュレーションにより、試作の回数の削減
- ◆ ルールの統一により、設計品質&設計者のスキルが向上
- ◆ 目視時間を軽減させ、チェック漏れを「ゼロ」に

ODB++データ転送

- ◆ 製造&実装への情報伝達が簡素化
- ◆ 設計と製造・実装間のキャチボール(問い合わせ)の大幅減少
- ◆ 検図が容易→従来のPDFや図面からODB++&VUV(ODB++無料閲覧ソフト)
- ◆ シミュレーションしたデータでモノづくりが完結!

DFM検証

設計/製造品質向上

リードタイム短縮

利益担保

環境対応

Enterprise3000

JPCA 2009



Enterprise3000を始め数多くのPCB設計・解析ツールの
ブースプレゼン・デモンストレーションを交えた出展を
当会場におきまして行なっております。
是非、お立ち寄りください。