

平成 14 年 12 月 10 日

発信元：サイバネットシステム株式会社 広報室

〒112-0012 東京都文京区大塚 2-15-6 ニッセイ音羽ビル

TEL.03-5978-5430 FAX.03-5978-5441

E-MAIL:irquery@cybernet.co.jp

OPTIMAL 社の 集積回路パッケージ向け熱/疲労解析、 電磁場解析ソフトウェア製品販売開始のお知らせ

サイバネットシステム株式会社（JASDAQ 市場上場 本社：東京都、資本金：9 億 9500 万円、代表取締役社長：井上 恵久）は、2002 年 10 月 21 日に販売代理店契約を締結した米国 OPTIMAL Corporation（オブティマル社、本社：米国 サンノゼ、社長：アン-ユー クオ）が開発した集積回路（以下 IC）パッケージの伝送線路で問題となる信号劣化とそれに伴う不要ノイズ解析を行なう電磁場解析ソフトウェア PakSi-E、パッケージの熱/疲労解析ソフトウェア PakSi-TM の日本国内販売を 2002 年 12 月 10 日より開始しますのでお知らせ致します。

高密度実装が著しい民生電子機器においては、如何に回路の集積化を達成するかが課題となっています。その中で、IC を封入するパッケージング技術も信頼性の高い実装を実現する上で重要なファクタです。この課題を実現するため、電気信号に混入する不要ノイズ除去の検討、パッケージの発熱、それに伴う熱疲労、最適設計を行なう事は最終製品の市場投入までの期間短縮を達成する上で不可欠です。PakSi-E ならびに PakSi-TM は、パッケージ設計における解析ソリューションを提供し、高い生産性をもたらします。

PakSi-E の機能

- ・ リード、ワイヤボンディングを含めた抵抗、インダクタンス、容量などの寄生パラメータを抽出します。
- ・ 設計上問題となるクリティカルネット、あるいはパッケージ全体を解析します。
- ・ パッケージ内のレイアウト設計の前段階で、デザインルール策定のための解析をします。
- ・ 寄生パラメータから特性インピーダンス、順方向/逆方向クロストーク比、遅延、減衰、S パラメータ、反射係数、定在波比、奇/偶/差分伝送モードのインピーダンス定

数の算出します。

PakSi-E の特徴

- ・ QFP、BGA、CSP、FlipChip など各種パッケージに対応しています。
- ・ GERBER データから 3 次元有限要素モデルを自動生成します。
- ・ EDA ソフトウェアとのデータ互換性向上をはかり CR-5000 (株式会社図研)、Encore (Synopsys 社) AIF 形式、APD (Cadence Design Systems 社製 Advanced Package Designer の出力) 形式でネットリストがインポート可能です。
- ・ ボンディングワイヤが複数存在するマルチチップモジュール、スタックダイパッケージ、多層ワイヤボンドパッケージ等の解析が可能です。ダイから複数層への接続だけでなく、任意導体層から他の層への接続も可能です。
- ・ 寄生パラメータ抽出後、SPICE のサブサーキットをパッケージ全体あるいはパッケージ内の各ネットごとに出力可能です。トポロジーとして T モデル、モデル、分布定数モデルが選択できます。
- ・ 抵抗、インダクタンス、容量マトリックスをパッケージ IBIS 形式で出力可能です。
- ・ 高い精度を備えた高速なアルゴリズムで、マクスウェルの方程式を解きます。

PakSi-TM の解析機能

- ・ 自然対流、強制対流条件での熱抵抗を計算します。ヒートシンクを装着した場合の解析も可能です。
- ・ 吸湿によるリフロー時のパッケージクラック発生の可能性を材料破壊靱性の観点から検証できます。
- ・ パッケージ整形時の温度を無応力温度と仮定し、冷却した場合の各部材線膨張率の違いによって発生する反りを予測します。
- ・ 相対湿度と時間を指定しダイ、ダイアタッチ、モールド材各境界面の水分量と亀裂発生とその進展を予測します。
- ・ IC の動作に伴う発熱による内部応力を計算します。
- ・ BGA パッケージのハンダボール疲労寿命評価機能を持っています。

PakSi-TM の特徴

- ・ QFP、BGA、CSP、FlipChip など各種パッケージに対応しています。
- ・ ソリューション志向の GUI により、シミュレーションに関するトレーニングを受けなくても短時間で解析を実行できます。レポート作成に便利な各種図、表、テキストデータを出力します。
- ・ 精度の高い自動メッシュ生成機能を持っています。
- ・ 汎用材料データベースを内蔵しています。ダイ、ダイアタッチ、リードフレーム、モールド材、はんだ、サブスレート、プリント配線板等のメーカーからのデータが

製品名で登録されています。部材データ追加も可能です。

- ・ 3次元CADなどを利用した解析モデルをゼロから手で作成する必要がありません。パッケージの寸法をパラメータとして入力するか、ダイレクトCADインターフェイスでGERBER形式のファイルを入力し、積み重ねの順序や厚みを入力する事で容易に解析モデルの作成を行なえます。
- ・ 有限要素法に基づいていますが、独自の手法を取り入れ高速化と大規模問題への対応を実現しました。シミュレーション結果は、多くの試験データとの比較検討が行なわれ、そのノウハウは精度向上のためソルバーに組込まれています。

両製品の利点

- ・ 適用分野をパッケージに絞っており、解析モデル作成を容易にするユーザインターフェイスを装備し、3次元モデル作成の知識が無くても、同作業に要する時間を大幅に短縮できます。例えば、モデル作成と材料物性入力が20分程度で完了します。
- ・ 有限要素法でありながら、高速な解析ソルバを装備し、従来の解法に比較して10倍から100倍高速です。
- ・ 総合的な見地から、パッケージ設計における大幅な効率改善が期待できます。

動作環境

同製品を利用するには、以下の環境が必要です。

OS :	Microsoft WindowsXP、Windows2000、WindowsNT4.0
CPU:	Intel Pentium ファミリプロセッサ (1GHz 以上を推奨)
ディスプレイ :	1024x768 ドット以上、256色以上を表示可能な 15インチ以上のモニタ
RAM:	256MB 以上
ディスク容量 :	500メガバイト程度
その他 :	ネットワークインターフェースカード (NIC)

販売価格

- ・ 420万円より

販売目標

- ・ 初年度30ライセンスの販売を見込んでいます。

オプティマル社 (Optimal Corporation) について

Optimal Corporation 社(本社米国：サンノゼ、資本金：US\$2.5M、社長：アン-ユー クカ)は 1995 年に設立。米国空軍 SBIR(中小企業の革新的研究開発支援)プロジェクトに参加、以後、受託解析、試験サービスからソフトウェア開発会社に発展。独自のアルゴリズム開発、結果に焦点をあてた製品群(自動メッシュジェネレータ、高速 FEM ソルバ、物性データベース等)で今後も従来にも増して、最高のサービス、サポートを新製品群と共に提供する予定。ソフトウェア開発に加え、プラスチック封止 IC パッケージ、寄生パメーター、流体及び熱伝達に関するコンサルティング、試験サービスを実施しています。同社製品コンセプトを基本とした製品をプリント基板設計、IC 設計分野にも展開を予定しています。オプティマル社に関する詳しい情報については、<http://www.optimalcorp.com/> をご覧下さい。

サイバネットシステム株式会社について

当社は、科学技術計算分野、特に CAE 関連の多岐にわたる先端的なソフトウェアソリューションサービスの提供を行なっております。電気機器、輸送用機器、機械、精密機器、教育・研究機関など様々な業種及び適用分野におけるソフトウェア、教育サービス、技術サポート、コンサルティング等を提供しております。構造解析、音響解析、機構解析、制御系解析、通信システム解析、信号処理、光学設計、照明解析、高周波回路解析など多様かつ世界的レベルの CAE ソフトウェアを取扱い、様々な顧客ニーズに対応しております。サイバネットシステム株式会社に関する詳しい情報については、<http://www.cybernet.co.jp/> をご覧下さい。

註：

- ・ 本文にある製品名、会社名は、各社の商標または登録商標です。
- ・ 本文に記載の略称、用語は、以下の通りです

QFP： Quad Flat Package の略称で、IC パッケージの種類

BGA： Ball Grid Array の略称で、IC パッケージの種類

CSP： Chip Scale Package の略称で、IC パッケージの種類

FlipChip: パッケージに封入されたダイの実装方法

GERBER: プリント基板 CAD で設計したレイアウト情報を製造装置に渡すためのデータ形式の名称。RS-274D または RS-274X 形式が一般的。

EDA： Electronic Design Automation の略称。電気/電子回路設計を自動化する技術

リード: パッケージと外部の回路を接続する金属線路。

ワイヤボンディング: ダイとリードを接続する金属線。一般的には金線を利用。

SPICE: Simulation Program with Integrated Circuit Emphasis の略称。
カリフォルニア大学バークレイ校で開発された集積回路用回路シミュレータ。

IBIS: I/O Buffer Information Specification の略称。パッケージの入/出力特性を表現するための書式で、プリント基板に実装した際の信号伝播の特性をシミュレーションする場合に利用する。

この件に関するお問い合わせ
サイバネットシステム株式会社

内容についての問い合わせ

EDA 部 営業グループ

担当 / 坂本

〒112-0012 東京都文京区大塚 2-9-3 住友不動産音羽ビル

TEL.03-5978-5460 FAX.03-5978-6081

E-MAIL:optimal-info@cybernet.co.jp

報道の方は

広報室 / 勝又, 松代

〒112-0012 東京都文京区大塚 2-15-6 ニッセイ音羽ビル

TEL.03-5978-5430 FAX.03-5978-5441

E-MAIL:irquery@cybernet.co.jp